

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-259340

(43)Date of publication of application : 24.09.1999

(51)Int.Cl. G06F 11/30
G06F 11/14

(21)Application number : 10-057569

(71)Applicant : OKI COMTEC:KK
OKI ELECTRIC IND CO LTD

(22)Date of filing : 10.03.1998

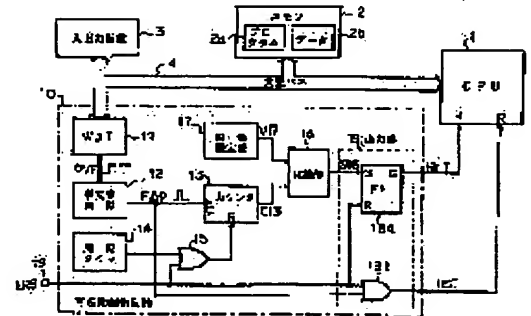
(72)Inventor : MATSUMOTO YASUAKI
MAEHARA TOMOYOSHI

(54) REACTIVATION CONTROL CIRCUIT FOR COMPUTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reactivation control circuit for computer with which a transient malfunction is distinguished from a permanent fault and reactivation is performed corresponding to conditions.

SOLUTION: When a cyclic reset command from a CPU 1 is stopped, an overflow signal OVF is outputted from a watchdog timer 11, and an abnormality detecting pulse signal FDP is generated by a monostable circuit 12. The abnormality detecting pulse signal FDP is applied through an output part 18 to the CPU 1 as a reset signal RST, and this CPU 1 is reactivated from a prescribed state. Besides, the abnormality detecting pulse signal FDP is counted by a counter 13. When the overflow of the watchdog timer 11 frequently occurs and reaches a set value V17 within the period specified by a cycle timer 14, a decision signal S16 of a comparator part 16 is turned to 'H', a flip-flop 18a is set and a halt signal HLT is outputted. Then, the CPU 1 is forcibly stopped.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-259340

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁶

G 0 6 F 11/30
11/14

識別記号

3 1 0
3 1 0

F I

G 0 6 F 11/30
11/14

3 1 0 D
3 1 0 C

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平10-57569

(22) 出願日 平成10年(1998) 3月10日

(71) 出願人 593065844

株式会社 沖コムテック
東京都港区芝浦三丁目20番2号

(71) 出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72) 発明者 松本 康明

愛知県名古屋市中区丸の内3丁目22番21号
株式会社沖コムテック内

(72) 発明者 前原 朋義

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

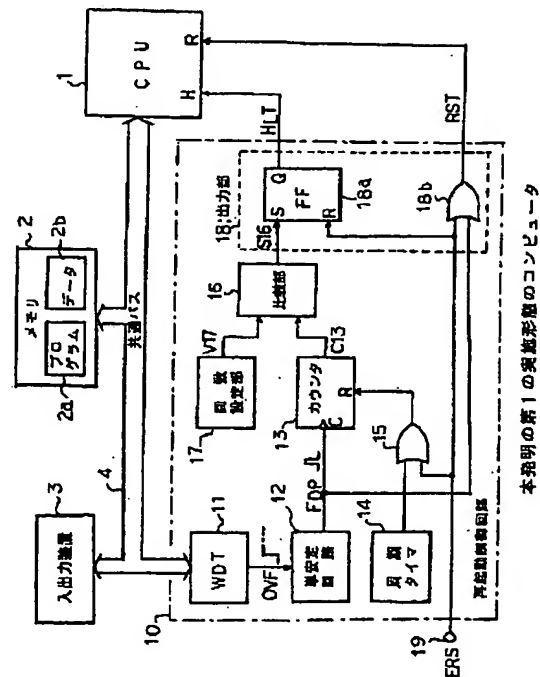
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 コンピュータの再起動制御回路

(57) 【要約】

【課題】 一過性の誤動作と恒久的な障害とを区別し、状況に応じた再起動を行うコンピュータの再起動制御回路を提供する。

【解決手段】 CPU 1からの周期的なリセットコマンドが途絶えると、ウォッチ・ドッグ・タイマ (WDT) 11からオーバーフロー信号OVFが出力され、単安定回路12で異常検出パルス信号FDPが生成される。異常検出パルス信号FDPは、出力部18を介してリセット信号RSTとしてCPU 1に与えられ、このCPU 1は、所定の状態から再起動される。また、異常検出パルス信号FDPはカウンタ13でカウントされる。周期タイマ14で規定された期間内に、WDT 11のオーバーフローが多発して設定値V17に達すると、比較部16の判定信号S16が“H”となり、フリップフロップ (FF) 18aがセットされ、ホルト信号HLTが出力される。そして、CPU 1は強制的に停止させられる。



【特許請求の範囲】

【請求項 1】 中央処理装置から定期的に出力されるべき信号が途絶えたとき、または該中央処理装置から異常を検出した旨の信号が与えられたときに、異常検出パルス信号を発生するパルス発生手段と、
一定期間毎に、その期間内に前記パルス発生手段で発生された前記異常検出パルス信号の数をカウントするカウント手段と、

予め設定された設定値と、前記カウント手段でカウントされたカウント値とを比較する比較手段と、

前記比較比較手段において、前記カウント値が前記設定値よりも小さいと判定されている間は、前記異常検出パルス信号に基づいて前記中央処理装置を強制的に所定の状態から再起動させるための第 1 の制御信号を出力し、該カウント値が該設定値以上と判定されたときには、該中央処理装置を強制的に停止させるための第 2 の制御信号を出力する制御信号出力手段とを、
備えたことを特徴とするコンピュータの再起動制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータの誤動作を検出して所定の状態から再起動させるための再起動制御回路に関するものである。

【0002】

【従来の技術】コンピュータは、異常を検出して再起動を行う方法として、いわゆるウォッチ・ドッグ・タイマ（以下、「WDT」という）を用いる方法がある。図 2 は、従来の WDT を備えたコンピュータの概略の構成図である。このコンピュータは、中央処理装置（以下、「CPU」という）1、メモリ 2、及び各種の入出力装置 3 を備えている。メモリ 2 は、このコンピュータの制御処理内容が格納されたプログラム部 2a と、制御処理で用いられるデータが記憶されるデータ部 2b とで構成されている。CPU 1、メモリ 2、及び入出力装置 3 は、共通バス 4 で接続されており、この共通バス 4 を介して CPU 1 がプログラム部 2a に格納されたプログラムを順次読み出して制御処理を行うようになっている。

【0003】共通バス 4 には、WDT 5 が接続されている。WDT 5 は、例えば共通バス 4 における図示しないクロック信号線のクロック信号をカウントし、予め設定された時間 T1 に対応する値となったときに、オーバフロー信号 OVF を出力するものである。また、WDT 5 は、CPU 1 から共通バス 4 を介してリセットコマンドを受け取ったときには、そのカウント値を 0 にリセットして再びカウントを開始する機能を有している。WDT 5 の出力側は、単安定マルチバイブレータ（以下、「単安定回路」という）6 の入力側に接続されている。単安定回路 6 は、入力されたオーバフロー信号 OVF の立上

がりによって、一定のパルス幅のリセット信号 RST を出力するものである。そして、このリセット信号 RST が、CPU 1 のリセット端子 R に与えられるようになっている。このようなコンピュータでは、メモリ 2 のプログラム部 2a に格納された制御処理用のプログラム中に、一定時間 T2（但し、 $T2 < T1$ ）以内に、周期的に WDT 5 をリセットするためのリセットコマンドを出力するような命令が、予め組み込まれている。

【0004】従って、CPU 1 が正常なプログラムに従って処理動作を行っている間は、WDT 5 のカウント値がオーバフローする以前に、この WDT 5 はリセットされ、オーバフロー信号 OVF が出力されることはない。しかし、例えば共通バス 4 におけるノイズ等によって、プログラム制御に異常が生じた場合、正常な処理が行われず、WDT 5 に対するリセットコマンドも出力されなくなる。このため、WDT 5 のカウント値はオーバフローし、オーバフロー信号 OVF が出力される。オーバフロー信号 OVF が単安定回路 6 に与えられると、この単安定回路 6 から一定のパルス幅のリセット信号 RST が CPU 1 に出力される。これにより CPU 1 はリセットされ、例えば 0 番地から処理を再開する。CPU 1 の処理の再開により、再びリセットコマンドが出力されると、WDT 5 はリセットされてオーバフロー信号 OVF の出力は停止される。このように、WDT 5 によって、ノイズ等による一過性の異常に対して CPU 1 の動作を停止することなく、自動的に再起動がかけられるようになっている。

【0005】

【発明が解決しようとする課題】しかしながら、従来のコンピュータでは、次のような課題があった。ノイズ等による一過性の誤りではなく、例えば処理プログラムにエラーがあるような場合、再起動後、処理がそのエラー箇所に進む度にプログラムの暴走が生じ、WDT 5 によって CPU 1 にリセットがかけられることになる。このような状態は外部から検出することができないので、その異常に気付かず放置されるという課題があった。

【0006】一方、リセット及び再起動の繰り返しによる恒久的な障害の見落としを防止するために、WDT 5 の出力側を、図 2 中の破線で示したように CPU 1 のホルト端子 H に接続したり、或いはリセット端子 R に接続する方法がある。この方法では、WDT 5 がオーバフローすると、オーバフロー信号 OVF によって CPU 1 が停止させられ、オーバフロー信号 OVF は出力されたままの状態となるので、CPU 1 の停止を外部から容易に検出することができる。しかし、このような方法では、ノイズ等による一過性の誤りの場合にも、CPU 1 は停止してしまい、人間が介入してコンピュータの再起動操作をしなければならないという課題があった。本発明は、前記従来技術が持っていた課題を解決し、一過性の誤りの場合は、自動的に再起動を行い、恒久的な障害と

判定されたときに動作を停止させるコンピュータの再起動制御回路を提供するものである。

【0007】

【課題を解決するための手段】前記課題を解決するために、本発明は、コンピュータの再起動制御回路において、CPUから定期的に出力されるべき信号が途絶えたとき、または該CPUから異常を検出した旨の信号が与えられたときに、異常検出パルス信号を発生するパルス発生手段と、一定期間毎に、その期間内に前記パルス発生手段で発生された前記異常検出パルス信号の数をカウントするカウント手段と、予め設定された設定値と、前記カウント手段でカウントされたカウント値とを比較する比較手段と、前記比較手段において、前記カウント値が前記設定値よりも小さいと判定されている間は、前記異常検出パルス信号に基づいて前記CPUを強制的に所定の状態から再起動させるための第1の制御信号を出力し、該カウント値が該設定値以上と判定されたときには、該CPUを強制的に停止させるための第2の制御信号を出力する制御信号出力手段とを備えている。

【0008】本発明によれば、以上のようにコンピュータの再起動制御回路を構成したので、次のような作用が行われる。例えば、CPUから周期的に出力されている信号が途絶えると、パルス発生手段から異常検出パルス信号が出力される。異常検出パルス信号は、カウント手段でカウントされ、一定期間内のカウント数が予め設定された設定値に達しない間は、この異常検出パルス信号に基づいてCPUを強制的に所定の状態から再起動させるための第1の制御信号が制御信号出力手段から出力される。また、カウント数が設定値に達すると、制御信号出力手段からCPUを強制的に停止させるための第2の制御信号が出力される。

【0009】

【発明の実施の形態】第1の実施形態

図1は、本発明の第1の実施形態を示すコンピュータの構成図であり、図2中の要素と共通の要素には共通の符号が付されている。このコンピュータは、図2と同様に、CPU1、メモリ2、及び各種の入出力装置3を備えている。メモリ2は、コンピュータの制御処理内容が格納されたプログラム部2aと制御処理で用いられるデータ等が記憶されるデータ部2bとで構成されている。CPU1、メモリ2、及び入出力装置3は、共通バス4で接続されており、この共通バス4を介して、CPU1がプログラム部2aに格納されたプログラムを順次読み出して制御処理を行うようになっている。

【0010】また、共通バス4には再起動制御回路10が接続されている。再起動制御回路10は、パルス発生手段（例えば、WDT11及び単安定回路12）を有しており、このWDT11が共通バス4に接続されている。WDT11は、例えば時間間隔T2以内でCPU1から定期的に出力されるべきリセットコマンド等の信号

が途絶えたときに、異常を検出するものである。WDT11は、例えば共通バス4における図示しないクロック信号線のクロック信号をカウントし、予め設定された時間T1（但し、 $T1 > T2$ ）に対応する値となったときに、オーバーフロー信号OVFを出力するようになっている。また、WDT11は、CPU1から共通バス4を介してリセットコマンドを受けとったときには、そのカウント値を0にリセットして再びカウントを開始する機能を有している。

【0011】WDT11の出力側は、単安定回路12の入力側に接続されている。単安定回路12は、与えられたオーバーフロー信号OVFの立上がりによって、一定のパルス幅（例えば、 $1\mu s$ ）の異常検出パルス信号FDPを出力するものである。単安定回路12の出力側は、カウント手段（例えば、カウンタ）13のクロック端子Cに接続されている。カウンタ13は、クロック端子Cに与えられる異常検出パルス信号FDPの数を計数し、その計数結果をカウント値C13として出力するとともに、リセット端子Rにリセット信号が与えられたときには、そのカウント値C13を0にリセットするものである。カウンタ13のリセット端子Rには、例えば24時間の周期タイマ14の出力側が2入力の論理和ゲート（以下、「OR」という）15を介して接続され、一定期間（この場合は、24時間）毎に1回、リセット用のパルス信号が与えられるようになっている。

【0012】カウンタ13の出力側は、比較手段（例えば、比較部）16の一方の入力側に接続されている。比較部16の他方の入力側には、回数設定部17が接続され、この回数設定部17に予め設定されている設定値V17が与えられるようになっている。比較部16は、カウンタ13から与えられるカウント値C13が、回数設定部17から与えられる設定値V17よりも小さいときには、判定信号S16をレベル“L”にして出力し、このカウント値C13が設定値V17以上になると判定信号S16をレベル“H”にして出力するものである。比較部16の出力側は、セット・リセット型のフリップフロップ（以下、「FF」という）18a、及び2入力のOR18bで構成される制御信号出力手段（例えば、出力部）18におけるFF18bのセット端子Sに接続されている。

【0013】FF18aのリセット端子Rには、外部端子19が接続されており、この外部端子19から、外部リセット信号ERSが与えられるようになっている。FF18aは、セット端子Sに“H”の信号が与えられたときに出力端子Qから“H”を出力し、リセット端子Rに“H”の信号が与えられたときには、出力端子Qから“L”を出力するものである。FF18aの出力端子QはCPU1のホルト端子Hに接続され、このCPU1を強制的に停止させるためのホルト信号HLTが出力されるようになっている。OR18bの入力側には、単安定

回路12からの異常検出パルス信号FDPと、外部端子19からの外部リセット信号ERSとが与えられている。OR18bの出力側はCPU1のリセット端子Rに接続され、このCPU1を例えば0番地から再起動させるためのリセット信号RSTが出力されるようになって

いる。
【0014】次に動作を説明する。例えば、外部端子19から外部リセット信号ERSが与えられると、カウンタ13及びFF18aがリセットされるとともに、CPU1では初期状態からの動作が開始される。CPU1によって、メモリ2のプログラム部2aに格納されたプログラムが0番地から順次読み出されて実行される。プログラム部2aに格納された制御処理用のプログラム中には、一定時間T2以内に周期的にWDT11をリセットするためのリセットコマンドを出力するような命令が組み込まれている。従って、正常なプログラムに従ってCPU1が処理動作を行っている間は、WDT11のカウント値がオーバーフローする以前に、このWDT11はリセットされ、オーバーフロー信号OVFが出力されることはない。

【0015】ここで、例えば共通バス4におけるノイズ等によって、プログラム制御に異常が生じたとする。プログラム制御の異常により、所定の処理が行われなくなり、WDT11に対するリセットコマンドが出力されなくなる。このため、WDT11のカウント値はオーバーフローし、オーバーフロー信号OVFが出力される。オーバーフロー信号OVFは単安定回路12に与えられ、この単安定回路12から一定のパルス幅の異常検出パルス信号FDPが出力され、カウンタ13に与えられる。そして、カウンタ13のカウント値C13は、カウントアップされて1となる。異常検出パルス信号FDPは、同時に、OR18bを介してCPU1のリセット端子Rにも与えられるので、このCPU1は強制的に0番地へ制御が移され、0番地からの再起動処理が開始される。WDT11のオーバーフローの原因が、ノイズ等の一過性の原因である場合には、このWDT11のオーバーフローが連続して発生することはないので、カウンタ13のカウント値C13は、引き続いて急激に増加することはない。そして、周期タイマ14から、例えば24時間毎のリセット用のパルス信号が出力された時点で、カウンタ13のカウント値C13は0にリセットされる。

【0016】一方、WDT11のオーバーフローの原因が、プログラム誤り等の恒久的な原因である場合には、このWDT11のオーバーフローは、そのプログラム誤りの箇所を実行する度に発生する。そして、WDT11のオーバーフローの度に、カウンタ13のカウント値C13が逐次カウントアップされるとともに、CPU1による再起動処理が行われる。カウンタ13のカウント値C13がカウントアップされて、回数設定部17に予め設定された設定値V17に達すると、比較部16から出力さ

れる判定信号S16が“H”となる。これにより、FF18aから出力されるホルト信号HLTは“H”となる。ホルト信号HLTはCPU1のホルト端子Hに与えられ、このCPU1が強制的に停止させられる。CPU1は、外部端子19から外部リセット信号ERSが与えられるまで、その停止状態に維持される。

【0017】以上のように、この第1の実施形態のコンピュータは、周期タイマ14で設定された一定期間内にWDT11で検出したオーバーフローの回数をカウントするカウンタ13、このカウンタ13のカウント値C13を予め設定された設定値V17と比較する比較部16、及び比較部16の判定結果に基づいてホルト信号HLTまたはリセット信号RSTをCPU1に出力する出力部18を有している。これにより、一過性の誤動作の場合にはCPU1を自動的に再起動させ、恒久的な障害と判定された場合には強制的に停止させることができるので、障害状況に応じた復旧処理を行うことができるという利点を有する。

【0018】第2の実施形態

図3は、本発明の第2の実施形態を示すコンピュータの構成図であり、図1中の要素と共通の要素には共通の符号が付されている。このコンピュータは、図1のコンピュータに、メモリ2等におけるパリティエラーに対応する再起動制御回路20を付加した構成となっている。再起動制御回路20は、共通バス4に接続されたパルス発生手段（例えば、パリティエラー検出部）21を有している。パリティエラー検出部21は、共通バス4中の図示しないパリティ信号線に、エラー信号が出力されたことを検出して、一定のパルス幅（例えば、1μs）のパリティエラー信号PEPを出力するものである。パリティエラー検出部21の出力信号は、割込信号INTとしてCPU1の割込端子Iに与えられるとともに、カウント手段（例えば、カウンタ）22のクロック端子Cにも与えられるようになっている。

【0019】カウンタ22は、クロック端子Cに与えられるパリティエラー信号PEPの数を計数し、その計数結果をカウント値C22として出力するとともに、リセット端子Rにリセット信号が与えられたときには、そのカウント値C22を0にリセットするものである。カウンタ22のリセット端子Rには、再起動制御回路10のOR15の出力側が接続されている。カウンタ22の出力側は、比較手段（例えば、比較部）23の一方の入力側に接続されている。比較部23の他方の入力側には、回数設定部24が接続され、この回数設定部24に予め設定されている設定値V24が与えられるようになっている。比較部23は、カウンタ22から与えられるカウント値C22が、回数設定部24から与えられる設定値V24よりも小さいときには、判定信号S23を“L”にして出力し、このカウント値C22が設定値V24以上になると、判定信号S23をレベル“H”にして出力

するものである。比較部23の出力側は、制御信号出力手段（例えば、セット・リセット型のFF）25のセット端子Sに接続されている。

【0020】FF25のリセット端子Rには、外部端子19が接続されており、この外部端子19から、外部リセット信号ERSが与えられるようになっている。FF25の出力端子QからはCPU1を強制的に停止させるためのホルト信号HLTが出力されるようになっている。FF25の出力端子Q、及び再起動制御回路10のFF18aの出力端子Qは、2入力のOR26の入力側に接続され、このOR26によって2つのホルト信号HLTの論理和がとられてCPU1のホルト端子Hに与えられるようになっている。その他の構成は、図1のコンピュータと同様である。このようなコンピュータにおける再起動制御回路10の動作は、第1の実施形態で説明した再起動制御回路10の動作と同様である。また、再起動制御回路20の動作は、再起動制御回路10の動作とほぼ同様である。

【0021】即ち、パリティエラー検出部21でパリティエラーが検出されると、カウンタ22のカウンタ値C22が1だけカウントアップされる。また、パリティエラー検出部21の出力信号は、割込信号INTとしてCPU1の割込端子Iに与えられる。これにより、CPU1は、割込信号INTに対応する割込処理のプログラムに強制的に制御が移り、所定の割込処理が行われる。そして、CPU1は、割込処理の終了後、再び通常の処理動作に移行する。このようなパリティエラーによる割込処理は、カウンタ22のカウンタ値C22が、回数設定部24に予め設定された設定値V24に達するまで行われる。そして、カウンタ値C22が設定値V24に達すると、メモリ2等の恒久的な障害と判定されて、比較部23の判定信号S23が“H”となる。これにより、FF25から出力されるホルト信号HLTは“H”となる。ホルト信号HLTは、OR26を介してCPU1のホルト端子Hに与えられ、このCPU1が強制的に停止させられる。以上のように、この第2の実施形態のコンピュータは、再起動制御回路10を有するので、図1の第1の実施形態のコンピュータと同様の利点を有する。更に、パリティエラーを検出して再起動制御を行うための再起動制御回路20を有するので、パリティエラーに対しても適切な再起動の制御ができるという利点を有する。

【0022】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)～(d)のようなものがある。

(a) 周期タイマ14の周期、及び回数設定部17、24の設定値V17、V24等の設定を、CPU1から共通バス4を介して行うようにしても良い。これにより、システムや処理内容に応じて適切な再起動制御が可

能になる。

(b) 単安定回路12等から出力されるパルス幅は、システムに合わせて適宜設定することができる。

(c) 図1及び図3のコンピュータでは、レベル“H”をアクティブ状態とする正論理回路で構成したが、レベル“L”をアクティブ状態とする負論理回路で構成しても良い。

(d) 出力部18は、ホルト信号HLTとリセット信号RSTを個別に出力するように構成しているが、例えばホルト端子Hを持たないCPU1の場合は、これらのホルト信号HLTとリセット信号RSTの論理和をとってCPU1のリセット端子Rに与えるようにしても良い。

【0023】

【発明の効果】以上詳細に説明したように、本発明によれば、CPUから周期的に出力されている信号が途絶えたり、このCPUから異常を知らせる信号を検出したときに、異常検出パルス信号を出力するパルス発生手段と、一定期間毎に異常検出パルス信号をカウントするカウント手段と、カウント手段のカウント数に応じてCPUを強制的に所定の状態から再起動させるための第1の制御信号、またはCPUを強制的に停止させるための第2の制御信号を出力する制御信号出力手段を有している。これにより、コンピュータの一過性の誤動作と、恒久的な障害とを区別してそれぞれに対応した再起動を行うことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すコンピュータの構成図である。

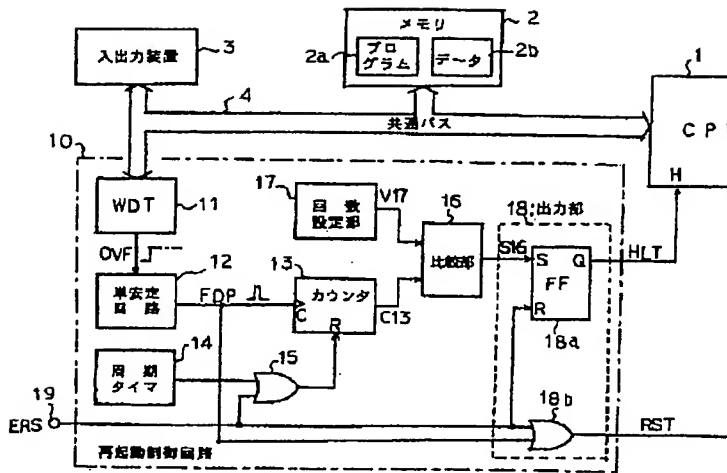
【図2】従来のWDTを備えたコンピュータの概略の構成図である。

【図3】本発明の第2の実施形態を示すコンピュータの構成図である。

【符号の説明】

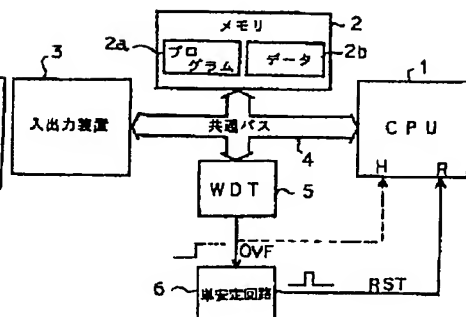
1	CPU
2	メモリ
4	共通バス
10, 20	再起動制御回路
11	WDT (ウォッチ・ドッグ・タイマ)
12	単安定回路
13, 22	カウンタ
14	周期タイマ
15, 18b, 26	OR (論理和ゲート)
16, 23	比較部
17, 24	回数設定部
18	出力部
18a, 25	FF (フリップフロップ)

【図1】



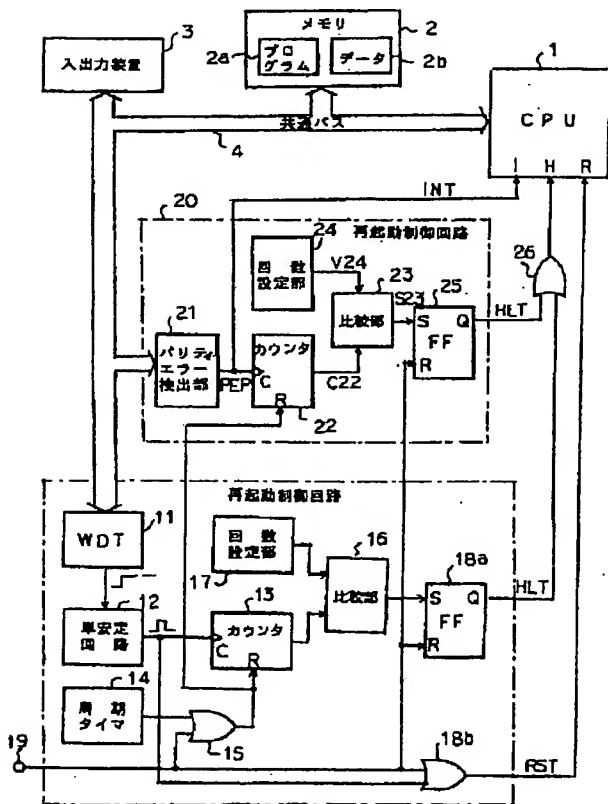
本発明の第1の実施形態のコンピュータ

【図2】



従来のコンピュータ

【図3】



本発明の第2の実施形態のコンピュータ